



Job Title : v

Location: Lannion

Type of Contract: Internship

Availability: ASAP

Titre du stage:

Sur des modules de transmission à base de FPGA (Stratix/Arria 10) et intégrant des transceivers haut débit (>28Gbps), ce stage aura pour but d'optimiser le design VHDL pour minimiser la taille et la puissance dissipée par les fonctions de génération de trames 100G OTU4 et 100Gbe.

Service :

R&D : Equipe de développement hardware d'Ekinops transmission

Encadrant :

Ingénieur du service

Activités :

- Prise de connaissance des modules de transmission haut débit (100G) d'Ekinops.
- Prise en main de l'outil de synthèse d'ALTERA (Quartus).
- Analyse du code VHDL actuellement utilisé sur les modules.
- Étude de nouvelles architectures pour optimiser la taille dans la matrice.
- Estimation du gain sur la puissance consommée.
- Mise en place d'un outil d'estimation de la puissance consommée par des FPGA.

NOTE :

Le candidat devra faire preuve d'autonomie lors de son stage. Rattaché à l'équipe R&D hardware d'Ekinops, il devra être capable de communiquer avec les membres du projet lors de son stage. Un bon niveau d'anglais est souhaité. La connaissance des normes OTN est un plus.